# گزارش کار تمرین پیاده سازی 1 درس DSD دکتر اجلالی

## امیرمحمد کوشکی، 400109673

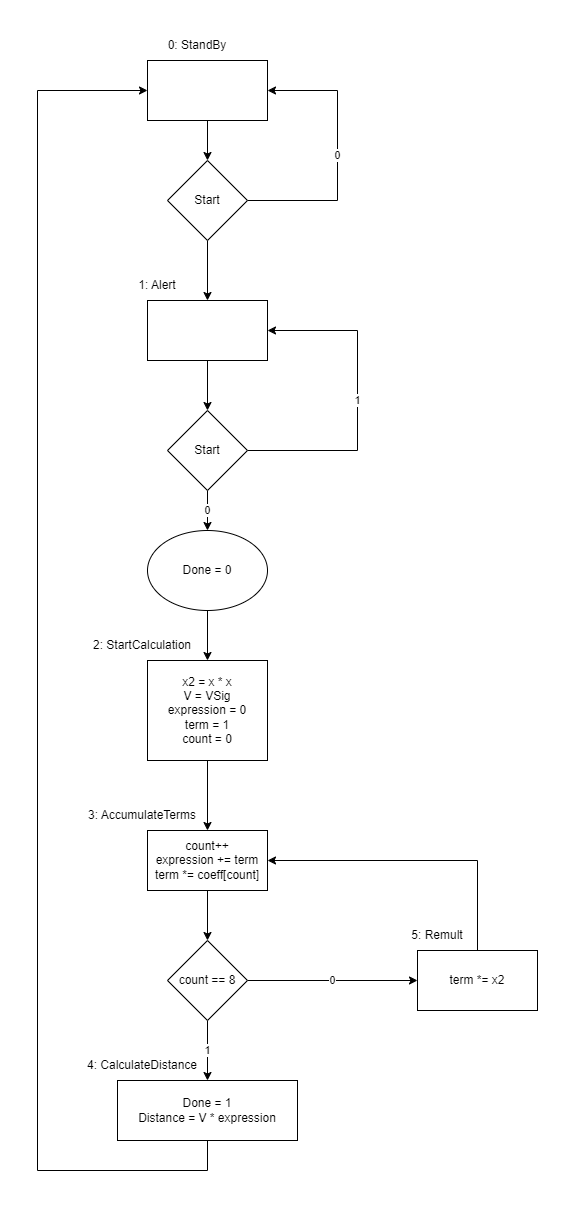
### بخش اول: ساخت مسیرداده و واحد کنترلی:

برای اینکه مسیر داده و واحد کنترلی از نوع مدار ترتیبی مور را بسازیم، یک توصیف ASM از مدار مدنظرمان ایجاد کرده و آنرا سنتز میکنیم. سپس مسیر داده را بصورت ساختاری در وریلاگ توصیف کرده و قسمت کنترلی را هم بصورت behavioral میسازیم.

در توصیف ASM این محدودیت را داریم که حق نداریم در یک بلوک بیشتر از یک عملیات ضرب یا جمع داشته باشیم زیرا در مسیر داده محدود به تنها یک واحد ضرب‌کننده و یک واحد جمع‌کننده هستیم.

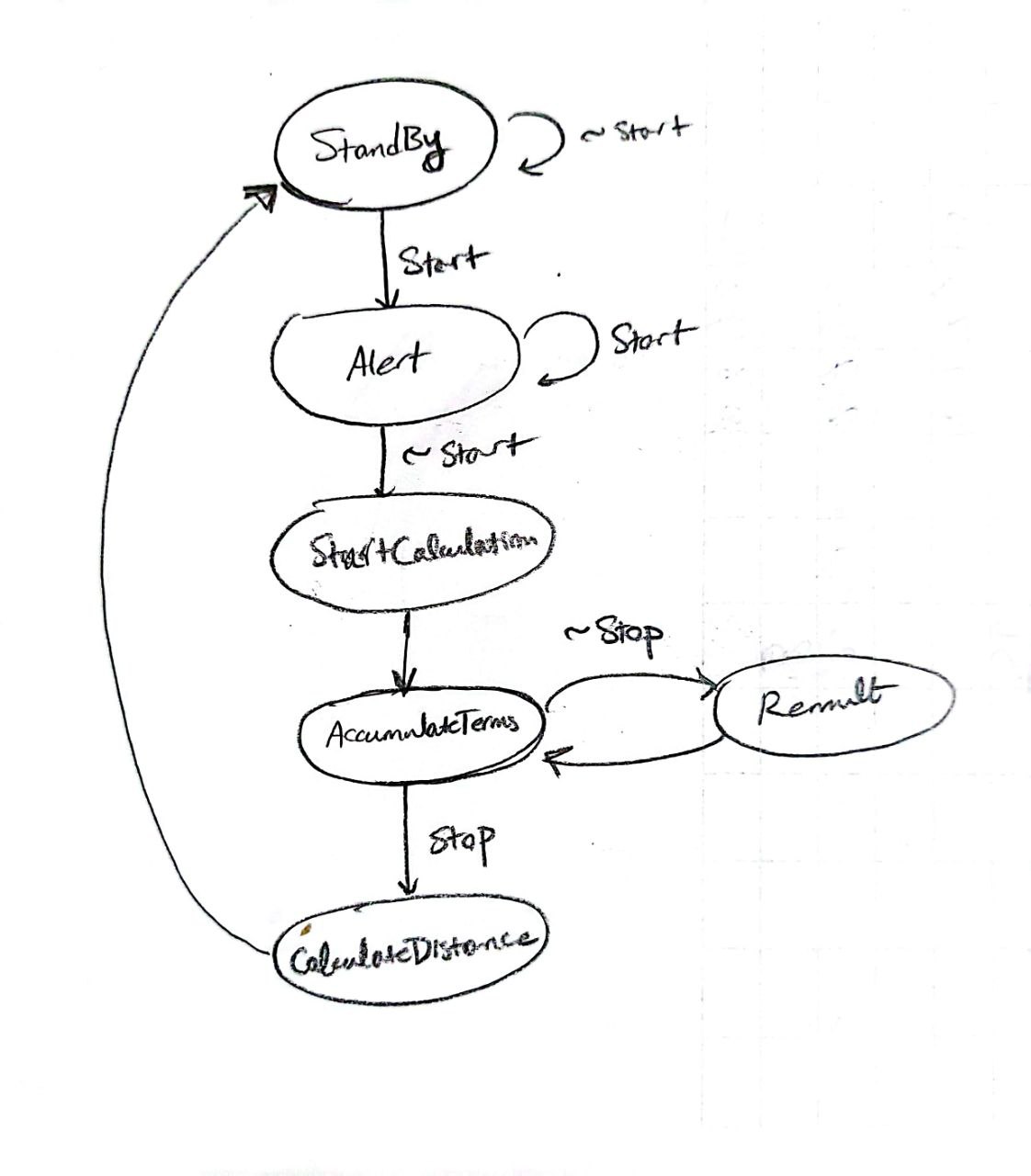
توصیف ASM را به این صورت انجام میدهیم: (در صفحه بعد آمده است)

در این توصیف میخواهیم پس از دریافت سیگنال شروع، با الگوریتمی که در صورت سوال آمده بود، ابتدا کسینوس را حساب کرده و در ثبات expression بریزیم. در این مسیر با استفاده از یک ROM که آدرس ورودی اش شمارنده حلقه خواهد بود، ضرایب ثابت مثل را بدون محاسبه استفاده خواهیم کرد (زیرا در همین رام ثبت شده اند و فقط کافی‌ست آنها را بخوانیم.) همچنین باید هربار term را در توان دوی x ضرب کنیم. چون دو عملیات ضرب داریم، ناچاریم دو استیت برای آپدیت کردن term استفاده کنیم. در نهایت هم به سادگی expression را در مقدار V که سیو کرده بودیم ضرب میکنیم و فاصله مدنظر بدست می‌آید.



نام هر بلاک و شماره حالت متناظر به آن در کنار هر State Box آمده است. حالا ابتدا control unit را میسازیم. ابتدا state diagram را میکشیم:

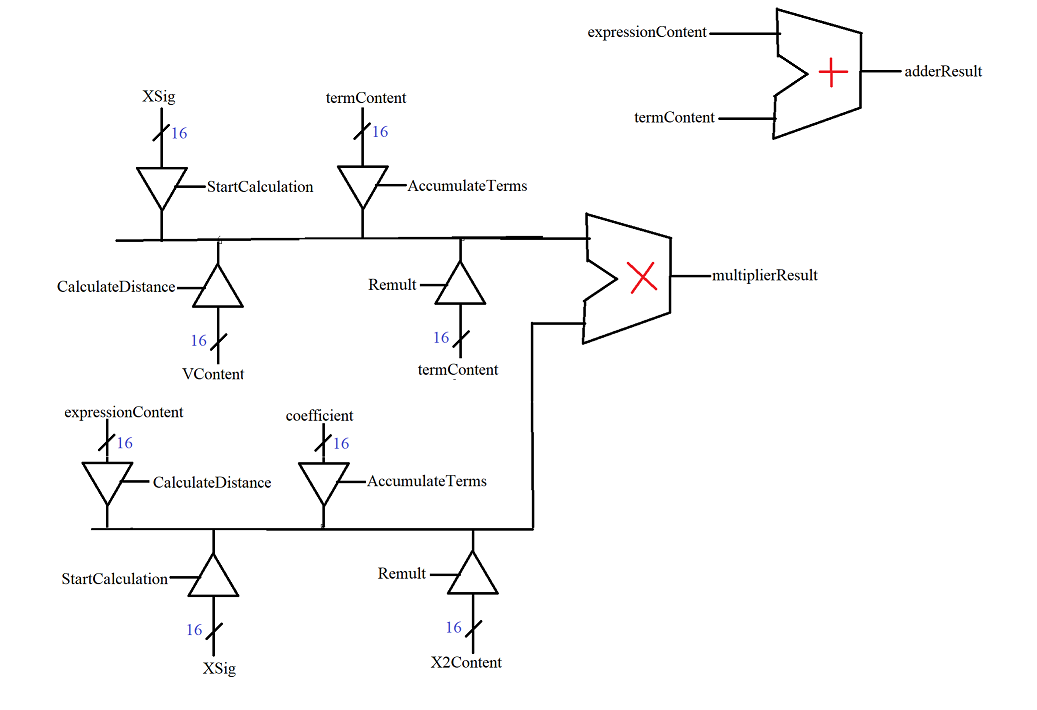
دقت شود سیگنال stop را بعنوان (count == 8) تعریف و پیاده‌سازی میکنیم.



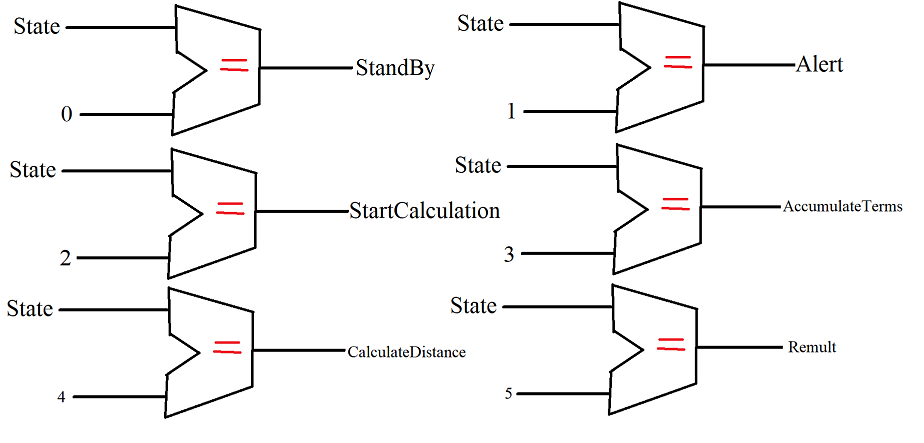
برای اینکه واحد کنترلمان از نوع مور باشد، باید خروجی‌های آن فقط تابع حالت فعلی آن باشند، پس خروجی های آنرا خود حالتش مینهیم. (حالت آن توسط یک بیت وکتور 4 بیتی نشان داده میشود. اعداد متناظر با هر حالت در ASM Chart آمده است.)

حالا به سراغ data path میرویم. باید با استفاده از ورودی‌های کنترلی state که 4 بیت هستند، عملیات‌های مناسب در هر مرحله را انجام دهیم. سنتز این بخش به این صورت میشود: (در صفحه بعدی آمده است. دقت شود که بدلیل بزرگ بودن مدار، آنرا بصورت قطعه قطعه نمایش داده ایم. جهت مشاهده مدار کامل به Report/Datapath.png مراجعه شود.)

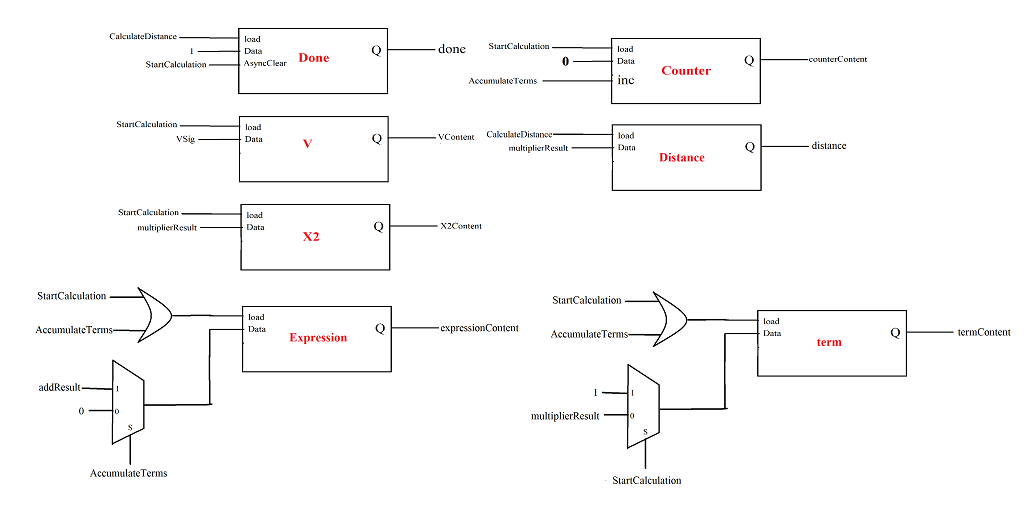
قسمت اول: جمع کننده و ضرب کننده:



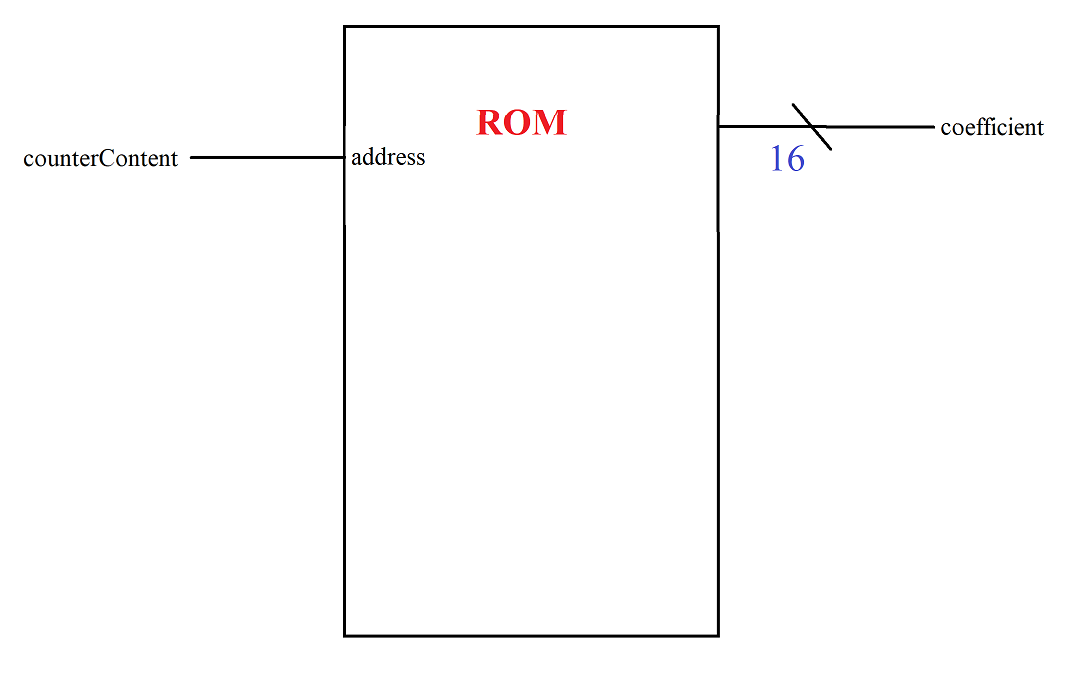
قسمت دوم: ساخت سیگنال‌های مربوط به استیت:



قسمت سوم: رجیسترها و داده:

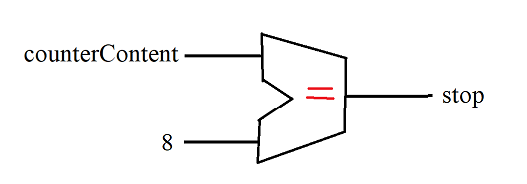


قسمت چهارم: رامی که ضرایب ثابت را نگه میدارد (در چارت ASM بصورت coeff[count] از آن استفاده شده است)



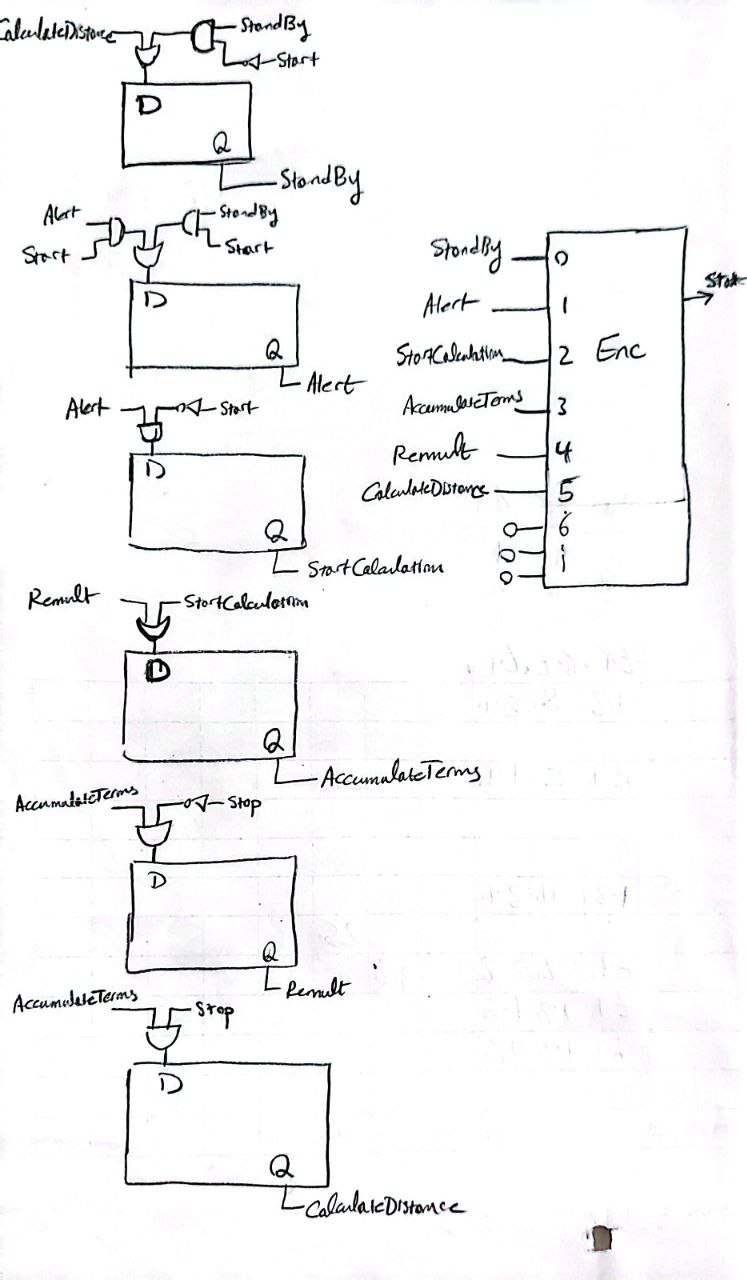
در این رام، در آدرس های متناظر به مقادیر counter مختلف، ضرایب ثابتی که باید در term ضرب شوند آورده شده است. مثلا برای counter = 0، مقدار گذاشته شده است، در counter = 1، مقدار قرار دارد و ... .

قسمت پنجم: ایجاد سیگنال stop



این سیگنال یک status signal به واحد کنترل است که باید از چرخه مصاحبه کسینوس خارج شود.

واحد کنترل را نیز به این صورت میتوانیم بسازیم:



حال باید کدهای Verilog مربوط به همین مدارها را بزنیم. فایل‌های آن همراه با این گزارش تحویل داده شده‌اند.

### بخش دوم: توضیحات مختصر درباره کد وریلاگ: